

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasunori SUZUKI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: TRANSMITTER

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-244754	August 26, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Masayasu Mori

Registration No. 47,301

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年 8月26日

出願番号 Application Number: 特願2002-244754

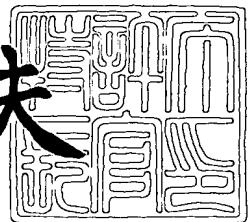
[ST. 10/C]: [JP2002-244754]

出願人 Applicant(s): 株式会社エヌ・ティ・ティ・ドコモ

2003年 7月25日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 DCMH140236

【提出日】 平成14年 8月26日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/68

【発明者】

【住所又は居所】 東京都千代田区永田町二丁目11番1号 株式会社エヌ  
・ティ・ティ・ドコモ内

【氏名】 鈴木 恭宜

【発明者】

【住所又は居所】 東京都千代田区永田町二丁目11番1号 株式会社エヌ  
・ティ・ティ・ドコモ内

【氏名】 廣田 哲夫

【特許出願人】

【識別番号】 392026693

【氏名又は名称】 株式会社 エヌ・ティ・ティ・ドコモ

【代理人】

【識別番号】 100066153

【弁理士】

【氏名又は名称】 草野 卓

【選任した代理人】

【識別番号】 100100642

【弁理士】

【氏名又は名称】 稲垣 稔

【選任した代理人】

【識別番号】 100114133

【弁理士】

【氏名又は名称】 横田 芳信

## 【手数料の表示】

【予納台帳番号】 002897

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0205124

【プルーフの要否】 要

【書類名】明細書

【発明の名称】送信機

【特許請求の範囲】

【請求項1】N系統の送信信号を入力しN系統の信号を出力するディジタル信号処理で実現されるN系統の入力側多端子電力合成回路と、

それぞれの送信系統を線形化するN系統のディジタル信号処理型プリディストータと、

N系統のディジタル信号処理型プリディストータの出力信号を入力するN系統のディジタル・アナログ変換器と、

N系統のディジタル・アナログ変換器の出力信号を入力する周波数変換器及び増幅器を含むN系統の送信部と、

N系統の送信部出力信号を入力しN系統の信号を出力するN系統の出力側多端子電力合成器と、を備えたことを特徴とする送信機。

【請求項2】請求項1に記載の送信機において、

N系統の増幅器の出力をモニタするN系統の抽出器と、

N系統の抽出器の出力信号を受信するN系統の受信部と、

N系統の受信部出力信号を入力するアナログ・ディジタル変換器と、

アナログ・ディジタル変換器出力信号を参照信号とするN系統のディジタル信号処理型プリディストータと、を備えたことを特徴とする送信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、N送信系統を持つ無線基地局用送信機に関し、特に電力増幅器で発生する非直線歪を低減させた無線基地局用送信機に関する。

【0002】

【従来の技術】

N系統増幅器の低消費電力化と冗長構成化を可能としている増幅器構成と/or、マルチポート増幅器がある。

図1を参照して従来のマルチポート増幅器（特開平10-209777号公報

(特願平9-8155号) 参照) を説明する。

マルチポート増幅器は、N個の入力信号をN系列の信号に分配する入力側多端子電力合成回路と、N系列の出力信号を並列動作によってそれぞれ増幅するN個の増幅器と、N個の増幅器のそれぞれの出力を合成してN個の出力信号を出力する出力側多端子電力合成回路と、各増幅器の前段には各増幅器で発生する非直線歪成分の振幅・位相を調整する(各増幅器で発生する非直線歪成分を相殺するだけの歪みを予め付加する)歪補償器を備える。

### 【0003】

系統間の送信電力の偏在を利用したマルチポート増幅器は、入力側多端子電力合成回路にて各増幅器の入力電力を均等分配する。これにより、独立にN系統の増幅器を持つ場合に比較して、各増幅器の飽和出力を低減し、N系統の増幅器全体の低消費電力化を可能にしている。また、入力側多端子電力合成回路にて入力信号をN系統に分配することで、仮に1系統の増幅器が故障しても残りの系統により電力増幅が可能である。すなわち、マルチポート増幅器自体が冗長構成となることが知られている。また、歪補償器により増幅器の所要出力バックオフを圧縮することで増幅器全体の効率を改善している。

### 【0004】

#### 【発明が解決しようとする課題】

図1に示された従来のマルチポート増幅器の構成は、マルチポート増幅器の個別増幅器を線形化した構成である。歪補償器には、増幅器の入力側に適用されることからプリディストータが一般的に用いられる。プリディストータは、増幅器の入力信号に応じてAM/AM変換特性(入力振幅に対する出力振幅特性)及びAM/PM変換特性(入力振幅に対する出力位相特性)を増幅器のそれらの特性を線形化するように補正する。図1のマルチポート増幅器には、送信周波数帯で動作するプリディストータの適用を必要とする。

### 【0005】

N系統送信機を小型かつ軽量に製造することは重要な問題である。特に、アダプティブアレーのように多数の送信系統を独立に備える必要があり、なるべくコンパクトに装置を構成する必要があった。送信系統に図1によるプリディストー

タを持つマルチポート構成を適用しても全系統をアナログ回路にて構成する必要があり、変調器などを含めたディジタル信号処理回路との一体化による構成の簡易化及び部品点数の削減などを実現することが困難であった。また、入力側及び出力側多端子電力合成回路を所定の利得偏差及び位相偏差で実現する必要があり、多数製造するには調整を簡易にする回路構成が必要であった。

### 【0006】

#### 【課題を解決するための手段】

本発明は、次の構成を備えることにより上記課題を解決する。

(1) ディジタル信号処理にて入力側多端子電力合成回路を実現する。これにより、ディジタル信号処理によるプリディストータを実現する。プリディストータ出力信号をデジタル・アナログ変換を行い、周波数変換及び電力増幅を行う。N系統の電力増幅された信号をN系統の出力側多端子電力合成回路にて各系統の送信信号を生成する。

(2) 上記(1)の発明において、ディジタル信号処理によるプリディストータの補正用信号(参照用信号)を生成する回路を備える。N系統の増幅器出力信号を受信機にて検波する。検波信号をアナログ・ディジタル変換器にてデジタル信号化し、プリディストータの補正信号として用いる。

### 【0007】

#### 【発明の実施の形態】

図2に本発明の送信機の機能を説明するための要部構成を示す。

入力側多端子電力合成回路とプリディストータによるディジタル信号処理に定式化する。

時間tは周期T[sec]と正数mを用いて以下とする。

$$t = mT \quad (1)$$

第i系統の変調器出力信号 $x_i(m)$ は、複素数とし、N系統の変調器出力信号行列を $X(m)$ とすれば、

#### 【数1】

$$X(m) = (x_0(m) \ x_1(m) \ \cdots \ x_{N-1}(m))^T \quad (2)$$

N系統入力側多端子電力合成回路はバトラーマトリックスとし、以下となる。

## 【数2】

$$T_1 = \frac{1}{\sqrt{2}} \begin{pmatrix} 1 & j \\ j & 1 \end{pmatrix} \quad (3)$$

$$T_n = \frac{1}{\sqrt{2}} \begin{pmatrix} T_{n-1} & jT_{n-1} \\ jT_{n-1} & T_{n-1} \end{pmatrix} \quad (4)$$

$$N = 2^n \quad (5)$$

N系統入力側多端子電力合成回路にて  $\mathbf{X}(m)$  は  $\mathbf{Y}(m)$  に変換される。

$$\mathbf{Y}(m) = T_n \mathbf{X}(m) \quad (6)$$

$$\mathbf{Y}(m) = (y_0(m) \ y_1(m) \ \cdots \ y_{N-1}(m))^T \quad (7)$$

プリディストータの波形変換行列を  $F$  とすれば、  $\mathbf{Y}(m)$  は  $\mathbf{Z}(m)$  に変換される。

$$\mathbf{Z}(m) = F(\mathbf{Y}(m)) \mathbf{Y}(m) \quad (8)$$

## 【数3】

$$\mathbf{Z}(m) = \begin{pmatrix} f(y_0(m)) & 0 & 0 & 0 \\ 0 & f(y_1(m)) & 0 & 0 \\ 0 & 0 & \ddots & 0 \\ 0 & 0 & 0 & f(y_{N-1}(m)) \end{pmatrix} \begin{pmatrix} y_0(m) \\ y_1(m) \\ \vdots \\ y_{N-1}(m) \end{pmatrix} \quad (9)$$

$\mathbf{Z}(m)$  により、入力側多端子電力合成回路及びプリディストータでの演算処理をデジタル信号処理にて行うことができる。デジタル・アナログ変換器にて  $\mathbf{Z}(m)$  をアナログ信号に変換すると、  $\mathbf{Z}(t)$  となる。  $\mathbf{Z}(t)$  行列の各要素について周波数変換と電力変換を行う。電力変換されたN系統の信号は、出力側多端子電力合成回路にて送信信号に変換される。

## 【0008】

プリディストータは、增幅器出力信号をモニタし、所定の非線形歪み特性を達成するように波形変換行列  $F$  の係数を適応的に更新する。

上記の演算処理にて  $\mathbf{Z}(m)$  を生成すれば、入力側多端子電力合成回路の不完全性は完全に除去できる。また、変調器から  $\mathbf{Z}(m)$  信号生成までデジタル信号処理により生成できる。DSP (digital signal processor) などのソフトウェアにて上

記ディジタル信号処理を実現できるため、従来のアナログ回路による構成に比べれば簡易に実装できる特徴をもつ。また、従来アナログ回路にて実現していた入力側多端子電力合成回路をディジタル信号処理で実現することで、出力端子間の利得偏差及び位相偏差をゼロにできる特徴を持つ。アナログ回路にて利得偏差及び位相偏差をゼロにすることは、回路の加工精度などの観点からできない。このように、従来のアナログ回路に比べて回路調整を少なくすることができる特徴を持つ。

### 【0009】

図3に本発明の第一実施例における送信機の構成を示す。

送信機は、N系統の符号器と、入力側多端子電力合成回路と、プリディストータと、直交変調器と、ディジタル・アナログ変換器と、送信部と、出力側多端子電力合成回路と、受信部と、アナログ・ディジタル変換器にて構成される。

符号器は、送信するディジタル信号系列を入力し、QPSK (quadrature phase shift keying)などの符号化を行う。

入力側多端子電力合成回路は、複素N系統を入力し、複素N系統を出力する。入力側多端子電力合成回路での演算処理は、(3), (4), (5)式に従う行列を用いて(6)式を行う。入力側多端子電力合成路は行列  $T_n$  である。入力側多端子電力合成回路の各系統の複素出力信号は、各系統のプリディストータに入力される。プリディストータは、主として各系統の送信機の利得及び位相特性を線形化する。プリディストータの構成は、ルックアップテーブル型、3次歪み補償型などである。プリディストータ出力信号はディジタル信号処理により直交変調される。直交変調器出力信号は、ディジタル・アナログ変換器にてアナログ信号に変換される。

### 【0010】

送信部は、例えば図4のような構成である。帯域制限用ローパスフィルタLPPFと、ミキサMIXと局部発振器LOからなる周波数変換器と、バンドパスフィルタBPFと、プリアンプPreAMPと、電力増幅器HPAMPにて構成される。

送信部により、ディジタル・アナログ変換器出力信号は、変調されて、電力増幅される。

受信部は、例えば図5のような構成である。減衰器ATTと、ミキサMIXと局部発振器L0からなる検波部と、バンドパスフィルタBPFと、自動利得制御器AGCにて構成される。

受信部は、各送信部の出力信号をカプラ等により抽出し、減衰器ATTを介してミキサMIXと局部発振器L0を用いて検波する。検波された信号は、バンドパスフィルタBPFと自動利得制御器AGCを介してアナログ・デジタル変換器においてデジタル信号に変換してプリディストータの補正用信号（参照用信号）を生成する。このデジタル化された補正信号を用いてプリディストータの利得及び位相特性を調整し、所定の線形性を達成する。

#### 【0011】

本実施例は、符号器から直交変調器まで一体化としたデジタル信号処理にて実現される。例えば、リアルタイムで動作するデジタル信号処理系であれば、符号器から直交変調器までの機能をソフトウェアとして実現できる。またFPGA (field programmable gate array)などのハードウェアロジックにて符号器から直交変調器までの機能を実現してもよい。本実施例は、符号器から直交変調器までの機能をプログラマブルに実現し、かつその機能を適応的または状況に応じて再設定できる。これにより、複数の変調方式、複数のプリディストーション法に対して同一のDSPまたはFPGAのハードウェア構成で対応できる。入力側多端子電力合成回路とプリディストータはそれぞれ独立な制御プログラムで実装してもよい。また、単一の制御器にて入力側多端子電力合成回路とプリディストータの制御プログラムを実装してもよい。

#### 【0012】

従来のマルチポート増幅器構成は、入力側多端子電力合成回路と出力側多端子電力合成回路をアナログ回路にて実現していた。本発明では、入力側多端子電力合成回路を（3）、（4）、（5）式のようにデジタル信号処理にて実現する。これにより、これまで入力側多端子電力合成回路の各出力端子間のアイソレーションを所定値以上達成するために利得偏差及び位相偏差を設計値以下に調整する必要があったが、本発明では無調整でアイソレーションを無限大すなわち利得偏差と位相偏差をゼロにできる。本発明により、出力側多端子電力合成回路の調整

のみでよく、マルチポート構成のアイソレーションをより少ない調整にて高める  
ことができる。

### 【0013】

図6に本発明の第二実施例における送信機の構成を示す。

送信機は、デジタルIQ信号を入力する直交変調器と、入力側多端子電力合成回路と、プリディストータと、デジタル・アナログ変換器と、送信部と、出力側多端子電力合成回路と、受信部と、アナログ・デジタル変換器にて構成される。

送信部は例えば図4のような構成である。受信部は例えば図5のような構成である。

第一実施例と異なり第二実施例は、直交変調されたデジタル信号に対して、入力側多端子電力合成回路とプリディストータの演算処理を行う。第二実施例の動作及び効果は上記第一実施例の動作及び効果と同一である。第一実施例及び第二実施例に示される本発明構成は、従来のマルチポート構成と比べて入力側多端子電力合成回路とプリディストータをデジタル信号処理で実現することで装置構成を簡素化、小型化、かつ軽量化を実現することができる特徴を持つ。

第一実施例及び第二実施例は、出力側多端子電力合成回路の出力をアダプティブアレーランテナまたはセクタ用アンテナに接続できる。出力側多端子電力合成回路とアンテナの間に、無線基地局に一般的に使用されている共用器または切替器を含んでいてもよい。

### 【0014】

#### 【発明の効果】

以上説明したように、本発明は、入力側多端子電力合成回路、プリディストータをデジタル信号処理回路により構成することで以下の効果を奏する。

- (1) 小型、軽量な送信機を提供することができる。
- (2) マルチポート構成の調整の容易化を図ることができる。

#### 【図面の簡単な説明】

##### 【図1】

従来のマルチポート増幅器の構成図。

**【図2】**

本発明の送信機の機能を説明するための要部構成図。

**【図3】**

本発明の第一実施例における送信機の構成図。

**【図4】**

送信部の構成例を示す図。

**【図5】**

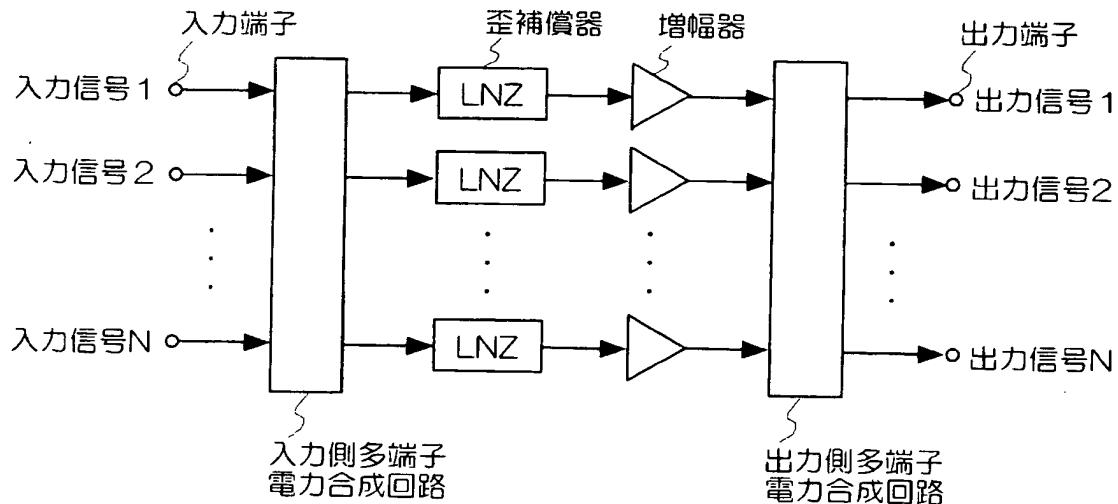
受信部の構成例を示す図。

**【図6】**

本発明の第二実施例における送信機の構成図。

【書類名】 図面

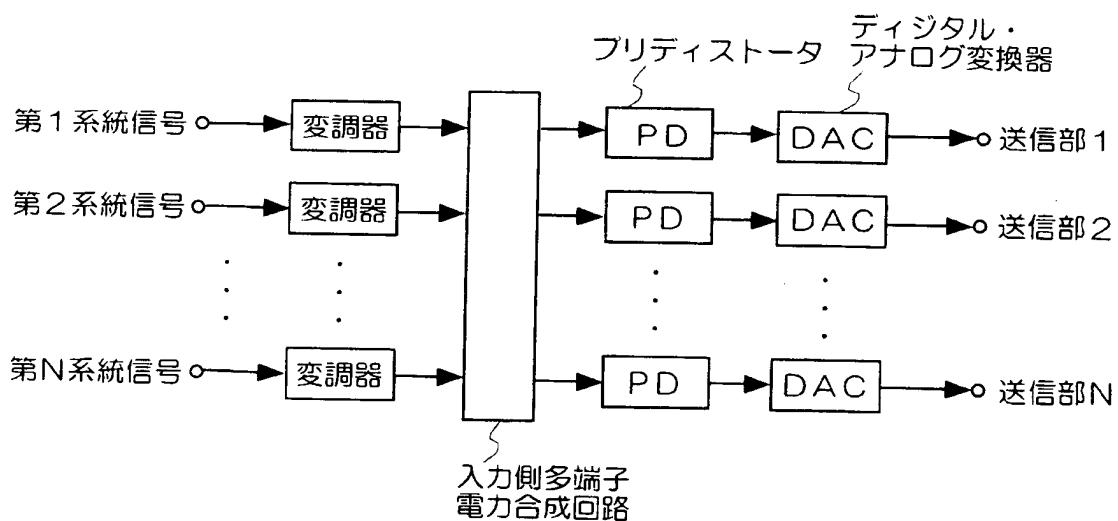
【図 1】



従来のマルチポート増幅器の構成図

図 1

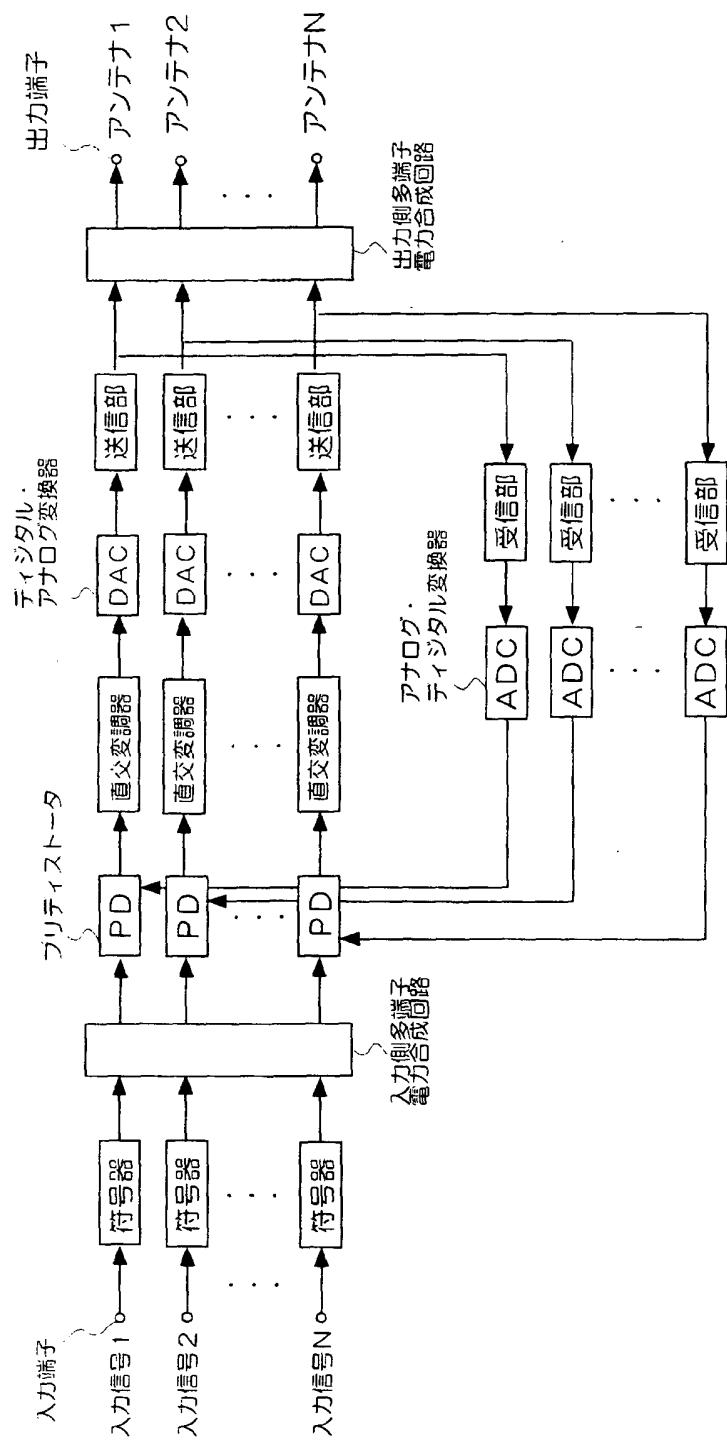
【図 2】



本発明の送信機の機能を説明するための図

図 2

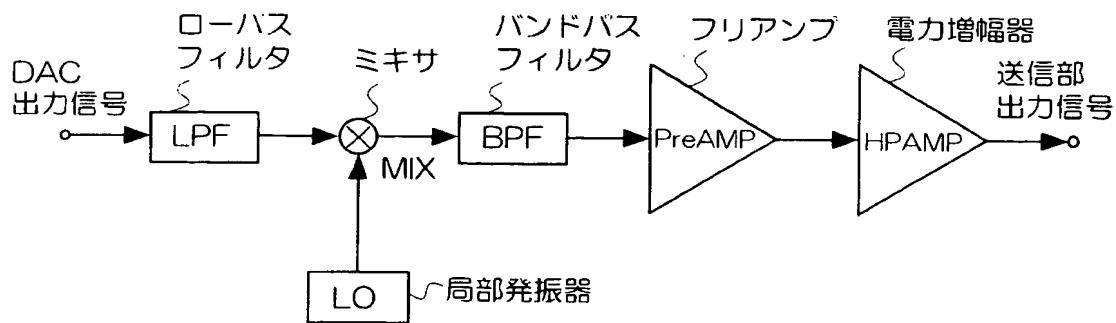
【図3】



3  
四

本発明の第一実施例における送信機の構成図

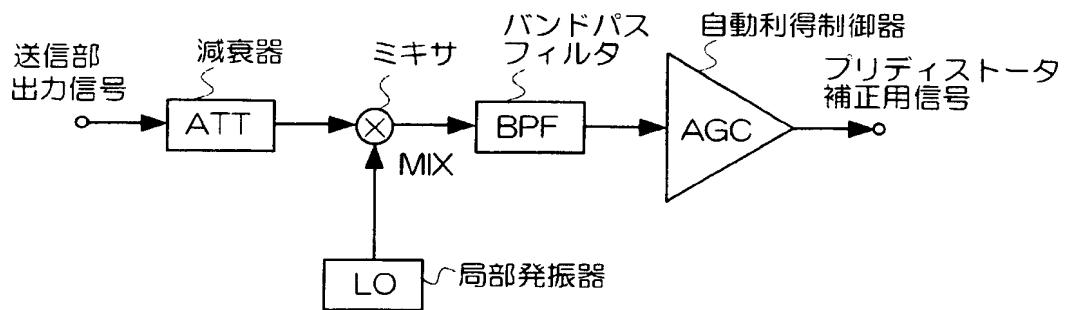
【図4】



送信部の構成図

図4

【図5】



受信部の構成図

図5

【図 6】

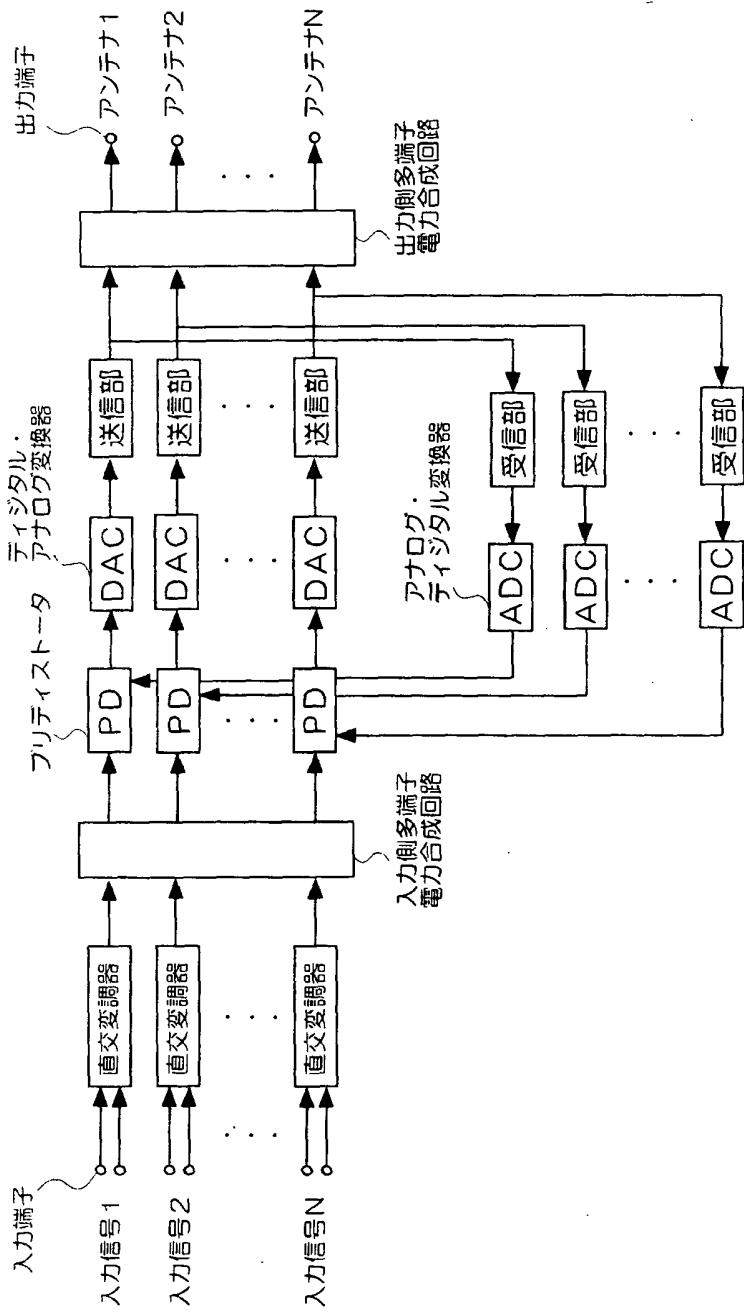


図 6

本発明の第二実施例における送信機の構成図

【書類名】 要約書

【要約】

【課題】 入力側多端子電力合成回路とプリディストータをデジタル信号処理にて実現し、構成の簡易化及び部品点数の削減、及び回路調整の容易化を図った送信機を提供する。

【解決手段】 N系統の送信信号を入力しN系統の信号を出力するデジタル信号処理で実現されるN系統の入力側多端子電力合成回路と、それぞれの送信系統を線形化するN系統のデジタル信号処理型プリディストータと、N系統のデジタル信号処理型プリディストータの出力信号を入力するN系統のデジタル・アナログ変換器と、N系統のデジタル・アナログ変換器の出力信号を入力する周波数変換器及び増幅器を含むN系統の送信部と、N系統の送信部出力信号を入力しN系統の信号を出力するN系統の出力側多端子電力合成器とを備える。

【選択図】 図3

特願2002-244754

出願人履歴情報

識別番号 [392026693]

1. 変更年月日 1992年 8月21日  
[変更理由] 新規登録  
住 所 東京都港区虎ノ門二丁目10番1号  
氏 名 エヌ・ティ・ティ移動通信網株式会社

2. 変更年月日 2000年 5月19日  
[変更理由] 名称変更  
住 所 住所変更  
氏 名 東京都千代田区永田町二丁目11番1号  
株式会社エヌ・ティ・ティ・ドコモ